

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60080313 A**

(43) Date of publication of application: **08.05.85**

(51) Int. Cl.

H03K 3/02

(21) Application number: **58188182**

(71) Applicant: **NEC CORP**

(22) Date of filing: **07.10.83**

(72) Inventor: **SHIBATA TORU**

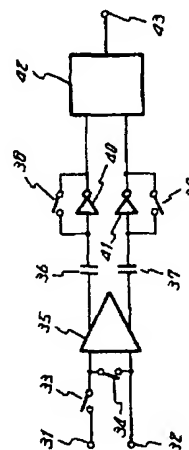
(54) **VOLTAGE COMPARATOR CIRCUIT**

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a voltage comparator circuit with high accuracy by constituting the comparator circuit that an output terminal of a differential amplifier and an input terminal of a latch circuit are connected through a capacitor, an inverter and a switch short-circuiting the inverter.

CONSTITUTION: When the comparator circuit is brought into standby by impressing a voltage to a terminal 32 with switches 34, 38, 39 closed and a switch 33 opened, each output voltage of a differential amplifier 35, that is, a voltage difference between an offset voltage and a threshold voltage of the inverters 40, 41 is stored respectively in capacitors 36, 37. Thus, in comparing a voltage while inverting the switches, since the stored voltage is subtracted from each output of the differential amplifier 35, the voltage comparison with high accuracy is conducted. Since the other electrode of the capacitors 36, 37 is biased by the threshold voltage of the inverter of the next stage at standby, the optimum operating point of the inverters is set and any bias circuit for the capacitors is not required.





JP60080313

Biblio

Page 1

Drawing



VOLTAGE COMPARATOR CIRCUIT

Patent Number: JP60080313

Publication date: 1985-05-08

Inventor(s): SHIBATA TOORU

Applicant(s): NIPPON DENKI KK

Requested Patent: ☐ JP60080313

Application Number: JP19830188182 19831007

Priority Number(s):

IPC Classification: H03K3/02

EC Classification:

Equivalents:

Abstract

PURPOSE: To obtain a voltage comparator circuit with high accuracy by constituting the comparator circuit that an output terminal of a differential amplifier and an input terminal of a latch circuit are connected through a capacitor, an inverter and a switch short-circuiting the inverter.

CONSTITUTION: When the comparator circuit is brought into standby by impressing a voltage to a terminal 32 with switches 34, 38, 39 closed and a switch 33 opened, each output voltage of a differential amplifier 35, that is, a voltage difference between an offset voltage and a threshold voltage of the inverters 40, 41 is stored respectively in capacitors 36, 37. Thus, in comparing a voltage while inverting the switches, since the stored voltage is subtracted from each output of the differential amplifier 35, the voltage comparison with high accuracy is conducted. Since the other electrode of the capacitors 36, 37 is biased by the threshold voltage of the inverter of the next stage at standby, the optimum operating point of the inverters is set and any bias circuit for the capacitors is not required.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-80313

⑮ Int. Cl.⁴

H 03 K 3/02

識別記号

庁内整理番号

8425-5J

⑬ 公開 昭和60年(1985)5月8日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電圧比較回路

⑯ 特 願 昭58-188182

⑰ 出 願 昭58(1983)10月7日

⑱ 発 明 者 柴 田 透 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

電圧比較回路

2. 特許請求の範囲

第1のスイッチの一方の端子を第1の節点に接続し、他方の端子を差動増幅器の第1入力端子に接続すると共に第2のスイッチの一方の端子に接続し、第2のスイッチの他方の端子を前記差動増幅器の第2入力端子に接続すると共に第2の節点に接続し、前記差動増幅器の第1出力端子を第1のコンデンサの一方の電極に接続し、第2出力端子を第2のコンデンサの一方の電極に接続し、第1のコンデンサの他方の電極を第3のスイッチの一方の端子に接続すると共に第1のインバータの入力端子に接続し、第2のコンデンサの他方の電極を第4のスイッチの一方の端子に接続すると共に第2のインバータの入力端子に接続し、第3のスイッチの他方の端子を第1のインバータの出力

端子に接続すると共にラッチ回路の第1入力端子に接続し、第4のスイッチの他方の端子を第2のインバータの出力端子に接続すると共に前記ラッチ回路の第2入力端子に接続し、前記ラッチ回路の出力端子を第3の節点に接続することを特徴とする電圧比較回路。

3. 発明の詳細な説明

本発明は、差動増幅器を主体にし構成され、さらにそのオフセット電圧を補償する機能を有する電圧比較回路に関するものである。

従来用いられてきたこの種の電圧比較回路の一例を第1図に示す。第1図に示した回路は、第1のスイッチの一方の端子を第1の節点に接続し他方の端子を第1の差動増幅器の第1入力端子に接続し、第1の差動増幅器の第2入力端子を第2の節点に接続し、第2のスイッチの一方の端子を前記第1入力端子に接続し、他方の端子を前記第2入力端子に接続し、第1のコンデンサの一方の電極を第1の差動増幅器の第1出力端子に接続し他

第2のスイッチの一方の端子を前記第1入力端子に接続し他方の端子を前記第2入力端子に接続し、第1のコンデンサの一方の電極を前記差動増幅器の第1出力端子に接続し、他方の電極を第1のインバータの入力端子に接続し、第2のコンデンサの一方の電極を前記差動増幅器の第2出力端子に接続し他方の電極を第2のインバータの入力端子に接続し、第3のスイッチの一方の端子を第1のインバータの入力端子に接続し他方の端子を第1のインバータの出力端子に接続させると共にラッチ回路の第1の入力端子に接続し、第4のスイッチの一方の端子を第2のインバータの入力端子に接続し他方の端子を第2のインバータの出力端子に接続させると共にラッチ回路の第2の入力端子に接続し、ラッチ回路の出力端子を第3の節点に接続している。まず、スイッチ34, 38, および39を閉じ、スイッチ33を開いたスタンバイ状態において、節点32に任意の電圧を印加すると、コンデンサ36には差動増幅器35の一方の出力電圧とインバータ40のスレッシュホールド電圧との

差電圧が蓄積され、コンデンサ37には差動増幅器35の他方の出力電圧とインバータ41のスレッシュホールド電圧との差電圧が蓄積される。このことは、差動増幅器35にオフセット電圧が生じた場合コンデンサ36, および37にそのオフセット電圧を記憶させると同時に、インバータ40, および41のスレッシュホールド電圧が異なる場合両者のスレッシュホールド電圧の差もコンデンサ36, および37に記憶させることになる。インバータ40, および41のスレッシュホールド電圧が異なることは、第1図についていえば差動増幅器20にオフセット電圧が生じることに相当するので、そのスレッシュホールド電圧の差を記憶させることは差動増幅器20のオフセット電圧を記憶させることに相当する。次に、スイッチ34, 38, および39を開き、スイッチ33を閉じた動作状態において、節点31, および32に比較電圧、および被比較電圧が印加されると、節点31および32間の差電圧の利得倍された電圧が差動増幅器35の出力端子に現われる。この出力端子に現われた電圧に

は差動増幅器35のオフセット電圧も含まれるが、コンデンサ36, および37には、スタンバイ状態において、そのオフセット電圧及びインバータ40, および41のスレッシュホールド電圧の差が記憶されているので、差動増幅器35の出力端子に現われた電圧からそれらが差し引かれた電圧がインバータ40および41の入力端子に印加される。いはいえれば、インバータ40, および41の入力端子に印加される電圧は、それぞれ、それ自身のスレッシュホールド電圧を基準に振幅する差動電圧となる。インバータ40および41の出力電圧はラッチ回路42によりラッチされ、その結果出力端子43には、HighレベルあるいはLowレベルの出力信号が現われる。

また、この回路では、スタンバイ状態においてコンデンサ36および37の一方の電極は、次段のインバータのスレッシュホールド電圧にバイアスされるので他にバイアス回路を設ける必要がなく回路構成が簡単となる。さらに、インバータの動作点はそれ自身のスレッシュホールド電圧という最適点

に設定される。

以上、図面を用いて詳細に説明した如く本発明を用いれば構成が簡単で、かつ、きわめて精度の高い電圧比較回路を得ることができる。

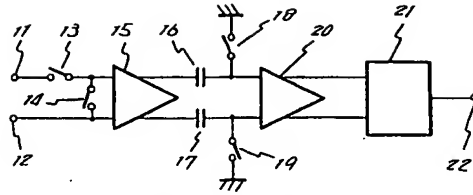
4. 図面の簡単な説明

第1図は、従来用いられている電圧比較回路の動作を説明するための説明図、第2図は、本発明の一実施例の説明図をそれぞれ示す。

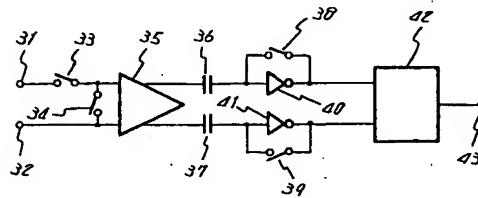
13, 14, 18, 19, 33, 34, 38, 39 …… スイッチ、15, 20, 35 …… 差動増幅器、21, 42 …… ラッチ回路、40, 41 …… インバータ、16, 17, 36, 37 …… コンデンサ。

代理人 井理士 内 原 晋





第 1 図



第 2 図

方の電極を第2の差動増幅器の第1入力端子に接続し、第2のコンデンサの一方の電極を第1の差動増幅器の第2出力端子に接続し他方の電極を第2の差動増幅器の第2入力端子に接続し、第3のスイッチの一方の端子を第2の差動増幅器の第1入力端子に接続し他方の端子を接地し、第4のスイッチの一方の端子を第2の差動増幅器の第2入力端子に接続し他方の端子を接続し、第2の差動増幅器の第1、および第2出力端子をそれぞれラッチ回路の第1、および第2の入力端子に接続し、ラッチ回路の出力端子を第3の節点に接続する、という構成になっている。

以下、この回路の動作を第1図を用いつつ簡単に説明する。スイッチ14, 18, および19を閉じ、スイッチ13を開いたスタンバイ状態において、節点12に任意の電圧を印加すると、コンデンサ16および17には、それぞれ差動増幅器15の出力電圧が蓄積される。これは、差動増幅器15にオフセット電圧が生じた場合、コンデンサ16, および17にそのオフセット電圧を記憶させた

とに等しい。次にスイッチ14, 18, および19を開き、スイッチ13を閉じた動作状態において、節点11, および12に比較電圧、および被比較電圧がそれぞれ印加されると、節点11, および12間の差電圧の利得倍された電圧が差動増幅器15の出力端子に現われる。実際その出力端子に現われる電圧には、差動増幅器15のオフセット電圧が含まれるが、コンデンサ16, および17には、スタンバイ状態において、そのオフセット電圧が記憶されているので、差動増幅器20の入力端子には、差動増幅器15の出力端子に現われた電圧から差動増幅器15のオフセット電圧が差し引かれた電圧が印加される。差動増幅器20の入力端子に印加された電圧は、差動増幅器20により増幅され、ラッチ回路21によりラッチされ、その結果出力端子22には、High レベルあるいはLow レベルの出力信号が現われる。以上述べたように、第1図に示した従来用いられている回路は、差動増幅器5のオフセット電圧を消去することができるという利点を有している反面、次の

ような欠点も有している。

1. 差動増幅器20のオフセット電圧を消去することができない。
2. スタンバイ状態において、コンデンサ16, 17の一方の電極をある任意の点にバイアスしなければならないが、このため差動増幅器20を、このバイアス点において最適な動作点が得られるよう設計しなければならない設計の際一つの制限となる。
3. スタンバイ状態において、コンデンサ16, および17の一方の電極を接地レベル以外の点にバイアスする場合には、新たに電源を設けなければならない素子数の増加を招く。

本発明は、以上述べた欠点を改善すべく発明されたものである。

本発明の特徴は、第1のスイッチの一方の端子を第1の節点に接続し、他方の端子を差動増幅器の第1入力端子に接続すると共に第2のスイッチの一方の端子に接続し、第2のスイッチの他方の端子を前記差動増幅器の第2入力端子に接続する

と共に第2の節点に接続し、前記差動増幅器の第1出力端子を第1のコンデンサの一方の電極に接続し、第2出力端子を第2のコンデンサの一方の電極に接続し、第1のコンデンサの他方の電極を第3のスイッチの一方の端子に接続すると共に第1のインバータの入力端子に接続し、第2のコンデンサの他方の電極を第4のスイッチの一方の端子に接続すると共に第2のインバータの入力端子に接続し、第3のスイッチの他方の端子を第1のインバータの出力端子に接続すると共にラッチ回路の第1入力端子に接続し、第4のスイッチの他方の端子を第2のインバータの出力端子に接続すると共に前記ラッチ回路の第2入力端子に接続し、前記ラッチ回路の出力端子を第3の節点に接続する電圧比較回路にある。以下図面を用いつつ本発明の実施例を詳細に説明する。

第2図は本発明の一実施例の説明図であり、第1のスイッチの一方の端子を第1の節点に接続し、他方の端子を差動増幅器の第1入力端子に接続し、差動増幅器の第2入力端子を第2の節点に接続し、

DOCKET NO: U&N-IT-462

SERIAL NO: _____

APPLICANT: Karl Schrödinger

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100